

특1999-065832

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

| | |
|--|--------------------------------|
| (51) Int. Cl. G09G 3/36 | (11) 공개번호 특1999-065832 |
| | (43) 공개일자 1999년 08월 05일 |
| (21) 출원번호 10-1998-0001296 | |
| (22) 출원일자 1998년 01월 17일 | |
| (71) 출원인 엘지전자 주식회사 구자홍 서울특별시 영등포구 여의도동 20번지 | |
| (72) 발명자 문성학 경기도 군포시 산본2동 개나리아파트 1325-102호 | |
| (74) 대리인 박병창 | |

설명문서 및 그림**(54) 3전극 면방전 플라즈마 디스플레이 패널의 구동방법 및 그 구동장치****요약**

본 발명은 1. 프레임(frame)을 X개의 서브필드(sub-field)로 분할하고 상기 각각의 서브필드에 인가되는 서스테인펄스(sustain-pulse)의 수를 조정함으로써 상기 각각의 서브필드에 의해 표현되는 밝기의 레벨에 서로 다른 가중치를 두며 각각의 헬은 상기 각각의 서브필드 중 해당되는 서브필드에서는 온(ON)되어 밝그하고 해당되지 않는 서브필드에서는 오프(OFF)되어 밝그하지 않도록 하며 상기 밝그하는 서브필드의 조합에 의해 2레벨의 계조(gray scale)를 표현하되, 상기 각 서브필드의 초기에 전체화면의 모든 수평라인(H-line)을 순차적으로 스캔하며 온(ON)될 헬을만 선택적으로 방전시키는 어드레싱과정이 수행되는 3전극 면방전 플라즈마 디스플레이 패널(이하, 3전극 면방전 PDP라 함)의 구동방법 및 그 구동장치에 관한 것으로서,

전체화면을 수평라인(H-line)을 따라 복수개의 블록으로 분할하여 각각 독립적으로 구동하여, 하나의 블록에 대한 어드레싱기간동안 그외의 다른 블록들은 서스테인을 계속하도록 함으로써 전체프레임중 밝기에 기여하는 서스테인시간의 비율을 높여 전체화면의 휴도를 높인 것을 특징으로 한다.

도표도**도4****설명서****도면의 간략한 설명**

도 1은 일반적인 3전극 면방전 플라즈마 디스플레이 패널(이하, 3전극 면방전 PDP라 함)과 그 구동화로를 나타내는 블록도,

도 2는 도 1에 도시된 3전극 면방전 PDP의 1개 셀의 단면도,

도 3은 1프레임을 이루는 8개의 서브필드를 나타내는 도면,

도 4는 본 발명의 구동방법을 나타내는 도면,

도 5는 본 발명에 의하여 3전극 면방전 PDP의 전극들을 2개의 그룹으로 분할한 실시예를 나타내는 도면,

도 6은 도 4에 나타낸 본 발명의 구동방법을 구현하기 위한 구동장치들을 나타내는 블록도,

도 7은 본 발명에서 각 전극들에 인가되는 구동펄스들을 나타내는 도면,

도 8은 도 7를 간단히 표현한 타이밍도,

도 9는 도 7을 상세하게 나타내는 타이밍도,

도 10은 본 발명의 다른 실시예를 나타내는 도면,

도 11은 도 10에 도시된 본 발명의 다른 실시예의 구동펄스를 나타내는 도면,

도 12는 도 11을 간단하게 나타낸 타이밍도,

도면의 주요부분에 대한 부호의 설명

⑤ : 다른 블록이 어드레싱하는 동안 서스테인하는 기간

§ 3. 공통 서스테인 기간

온양의 경제과 설계

온양의 특징

온양이 속하는 기술 및 그 분야의 경쟁기술

본 발명은 3전극 면방전 PDP의 구동방법 및 그 구동장치에 관한 것으로, 특히 화면의 회도를 높이기 위한 구동방법 및 그 구동장치에 관한 것이다.

지금까지 디스플레이(display) 수단의 주증을 이루어 왔던 CRT(Cathode Ray Tube)는 하나의 전자총으로 전자빔을 형광면전체에 주사하기 때문에 형광면과 전자총사이의 거리를 크게 줄이지 않으면 안된다.

상기와 같은 CRT는 부피가 크고, 무게가 무거운데, 화면을 평면으로 구현하기가 어렵고, 대형화면의 구현이 어려운 점등 여러 가지 문제점을 가지고 있다.

상기와 같은 CRT의 문제점을 극복하기 위하여 LCD, 플라스틱 패널, PDP(Plasma Display panel) 등 두께가 얕고 가벼우며, 대형화면구현을 가능하도록 하는 여러 가지 디스플레이 기술이 활발하게 연구되고 있다.

그중에서 상기 PDP는 복수개의 투명전극이 형성된 얇은 전면기판과 윗면기판사이에 방전가스를 주입하고 상기 투명전극사이에 전압을 가하여 방전을 시킬 때 발생하는 자외선에 의해 상기 투명기판의 표면에 도포된 형광체가 발광하도록 하며, 상기 전극과 형광체로 이루어지는 각각의 발광소는 각별로 분리된 셀로 형성되어 각각 독립적으로 구동되고, 전체적으로 알고 넓은 평면을 이루는 매트릭스 구조로 되어 있기 때문에, 무게가 가볍고 화면의 평면화와 대형화면의 구현이 용이할 뿐만 아니라, 색변경이나 포커스의 열화 등을 배제할 수 있는 장점을 가지고 있기 때문에 CRT의 한계를 극복할 수 있는 새로운 디스플레이 수단으로 관심의 초점이 되고 있다.

상기와 같은 PDP는 구동전압의 형태에 따라 직류전압에 의해 구동되는 DC PDP와, 정현파 교류전압 또는 편스전압에 의해 구동되는 AC PDP로 구분되는데 앞으로 본 고에서는 AC PDP에 대해서만 논의 하기로 한다.

도 1에는 교류 PDP 중 가장 많이 사용되고 있는 640×480 해상도의 컬러 3전극 면방전 PDP와, 상기 3전극 면방전 PDP 상에 동화상(moving image) 또는 정지화상(still image)을 표시하는 일반적인 3전극 면방전 PDP 구동회로의 간략화된 구조가 도시되어 있다.

도 1에서 참조번호 10은 400개의 제 1 유지전극($Y_1 \sim Y_{400}$)과 400개의 제 2 유지전극($Z_1 \sim Z_{400}$)이 교대로 하나씩 상호 평행하게 배열되어 있고, 1920개의 어드레스전극($A_1 \sim A_{1920}$)이 상기 제 1 및 제 2 유지전극들($Y_1 \sim Y_{400}, Z_1 \sim Z_{400}$)과 소정 공간을 사이에 두고 칙교하도록 배열되어 있으며, 400개의 제 1 및 제 2 유지전극($Y_1 \sim Y_{400}, Z_1 \sim Z_{400}$)과 1920개의 어드레스전극($A_1 \sim A_{1920}$)이 각 교차점마다 셀이 형성되어 전체 화면이 매트릭스 형태의 480×1920 개 R(Red), G(Green), B(Blue)셀로 구성되어 있는 640×480 해상도의 컬러 3전극 면방전 PDP를 나타낸다.

상기 480개 제 2 유지전극($Z_1 \sim Z_{400}$)은 제 2 콤보유지전극(Z)에 공통 연결되어 있다.

참조번호 20은 3전극 면방전 PDP(10)의 제 1 유지전극들($Y_1 \sim Y_{400}$)과 연결되어 상기 제 1 유지전극들($Y_1 \sim Y_{400}$)에 구동 펄스를 공급하는 Y 구동부를 나타내고,

30은 3전극 면방전 PDP(10)의 제 2 콤보유지전극(Z)과 연결되어 상기 제 2 콤보유지전극(Z)을 통해 제 2 유지전극들($Z_1 \sim Z_{400}$)에 구동 펄스를 공급하는 Z 구동부를 나타내고,

40은 3전극 면방전 PDP(10)의 어드레스전극들($A_1 \sim A_{1920}$)과 연결되어 각 셀에 해당되는 디지털 신호에 따라 상기 어드레스전극들($A_1 \sim A_{1920}$)에 선택적으로 구동 펄스를 공급하는 어드레스구동부를 나타내며,

50은 외부에서 입력되는 이날로그 회상 신호(IMAGE)를 디지털화하여 디지털 회상 신호를 출력하고, 상기 디지털 회상 신호와 각종 외부 입력(클록(CLK), 스핀 등기신호(HS), 수직 등기신호(VS))에 따라 각종 제어신호와 구동 펄스를 발생시켜 상기 Y 구동부(20)와 Z 구동부(30)와 어드레스 구동부(40)에 공급하는 시스템 제어부를 나타낸다.

한편, 상기 3전극 면방전 PDP(10)의 i 번째 행과 j 번째 열에 위치한 셀의 단면도(단, 전면 기판은 90° 회전됨)가 도시되어 있는 도 2를 참조하여 하나의 셀의 구조를 설명하면 다음과 같다.

먼저, 상호 평행한 i 번째 제 1 유지전극(Y_i)과 i 번째 제 2 유지전극(Z_i)이 회상의 표시면인 전면 기판(11)의 일면에 형성되어 있고, 상기 제 1 유지전극(Y_i)과 제 2 유지전극(Z_i) 위에 방전시 방전 전류를 제한하고 벽전하의 생성을 용이하게 하는 유전체층(12)이 형성되어 있고, 상기 유전체층(12) 위에 방전시 일어나는 스포터링(sputtering)으로부터 상기 제 1 유지전극(Y_i)과 제 2 유지전극(Z_i)과 유전체층(12)을 보호하는 산화마그네슘(MgO) 보호막(13)이 형성되어 있다.

또한, 상기 전면 기판(11)과 소정 거리를 사이에 두고 대량되게 위치한 배면 기판(14) 중 상기 전면 기판(11)과의 대합면에 i 번째 어드레스전극(A_i)이 형성되어 있고, 상기 어드레스전극(A_i)의 양측에 셀간 푸른색을 막지하고 방전공간을 확보하는 제 1, 2 격벽(15a, 15b)이 상기 어드레스전극(A_i)과 평행하게 각각 형성되어 있고, 상기 어드레스전극(A_i) 위와 제 1, 2 격벽(15a, 15b)의 일부에 형광체(16)가 도포되어 있으며, 방전공간 내부에는 방전가스가 주입되어 있다.

상기와 같이 구성된 3전극 면방전 PDP의 각 셀의 기본 구동 원리는 다음과 같다.

먼저, 제 1 유효전극(Y₁)과 어드레스전극(A₁) 사이에 소정 전압을 인가하면 제 1 유효전극(Y₁)과 어드레스전극(A₁) 간에 어드레스 방전이 일어나 제 1 유효전극(Y₁) 위의 산화마그네슘 보호막(13) 표면과 어드레스전극(A₁) 위의 혼광체(16) 표면에 서로 반대 극성의 벽전하가 각각 생성된다. 이 때, 제 2 유효전극(Z₁) 위의 산화마그네슘 보호막(13) 표면에도 어드레스전극(A₁) 위의 혼광체(16) 표면에 생성된 벽전하와 동일 극성의 벽전하가 생성된다.

그 후, 제 1 유효전극(Y₁)과 제 2 유효전극(Z₁) 사이에 바로 전의 어드레스 방전에 의해 생성된 벽전하와 동일 극성의 소정 전압을 인가하면 제 1 유효전극(Y₁)과 제 2 유효전극(Z₁) 간에 시스테인 방전이 일어난다.

상기에서 시스테인방전이 일어나면 방전공간에 전계가 발생하여 방전가스 중의 미립 전자들이 가속되고, 상기 가속된 전자들이 방전가스의 충성입자들과 충돌하면 상기 충성입자가 전자와 이온으로 전리되며, 상기 전리된 전자를 또한 상기 전계에 의해 가속되어 상기 충성입자와의 충돌에 참여하게 되고, 그에 따라 상기 충성입자가 점차 빠른 속도로 전자와 이온으로 전리되어(Electron Avalanche) 방전가스가 틀라즈마상태로 되는 동시에 전용 자외선이 발생되며, 상기 전용 자외선이 혼광체(16)를 여기시켜 가시광을 발생시키면 1 번째 행과 1 번째 열에 위치한 셀의 표시가 유지된다.

그 후, 상기 제 1 유효전극(Y₁)과 제 2 유효전극(Z₁) 사이에 교번전압을 인가하는 과정을 반복 수행하면 상기 제 1 유효전극(Y₁)과 제 2 유효전극(Z₁) 사이의 전압이 바뀔때마다 방전이 일어나고, 이때 발생하는 자외선에 의해 상기 혼광체(16)의 발광이 유지되어 1 번째 행과 1 번째 열에 위치한 셀의 표시가 유지된다.

한편, 혼광체에 조사하는 전자빔의 세기를 조절하여 화상의 계조(gray scale)를 표현하는 CRT와는 달리, 3전극 면방전 PDP는 방전 강도조절의 어려움 때문에 시간당 방전횟수를 조절하는 방법을 통해 화상의 계조(gray scale)를 표현한다.

즉, 하나의 영상을 전체화면에 한번 표시하고 유지하는 시간을 한 프레임(frame)이라고 하면, 한 프레임(frame)을 각각 1/2ⁿ회의 배수로 방전을 하는 N개의 서브필드(sub-field)으로 나누고, 각각의 셀은 상기 각각의 서브필드중 해당되는 서브필드에서만 온(ON)되어 방전하고 해당되지 않는 서브필드에서는 오프(OFF)되어 방전하지 않도록 함으로써, 방전하는 서브필드에서의 방전횟수의 조합에 따라 각각의 셀의 밝기가 결정되어 2ⁿ레벨의 계조(gray scale)가 구현된다.

상기와 같은 개념을 토대로 한 계조구현방법중 일반적인 것으로 ADS서브필드방식(Addressing and Display System sub-field method) 또는 단순히 서브필드(sub-field)방식이 있는데 이를 도 3을 참조하여 설명한다.

도 3에 일반적인 서브필드방식에 따른 256계조 구현시 1 프레임을 이루는 8개의 서브필드(SF1~SF8)가 도시되어 있다.

256계조 구현을 위한 서브필드방식에 따르면 우선 1 프레임은 도 3에 도시된 바와 같은 8개의 서브필드(SF1~SF8)로 분할되고, 각 서브필드(SF1~SF8)는 다시 리셋기간과 어드레스기간과 시스테인기간으로 분할되어 구동된다.

상기 리셋기간은 전체화면을 동시에 쓰고(writing)나서, 다시 전체화면을 지울(erasing)으로써 화면을 초기화하는 과정이다.

즉, 리셋기간에서는 각각의 제 1 유효전극들(Y₁~Y₂₅₆)과 제 2 유효전극들(Z₁~Z₂₅₆)사이에 동시에 기입펄스(write pulse)를 인가하여 화면상의 모든 셀을 온(ON)시킨 다음 상기 각각의 제 1 유효전극들(Y₁~Y₂₅₆)과 제 2 유효전극들(Z₁~Z₂₅₆)사이에 동시에 소거펄스(erase pulse)를 인가하여 화면상의 모든 셀을 오프(OFF)시킴으로써 전체화면을 초기화 한다.

상기 리셋기간 다음의 어드레스기간은 해당 서브필드에서 온(ON)될 셀들만 끌라서 선택적으로 방전시키는 기간으로써, 어드레스를 수행하고자 하는 라인의 제 1 유효전극에 -Vs 전압을 인가하고, 상기 제 1 유효전극에 연결되어 있는 1920개 셀들 중 온(ON)시키고자 하는 셀의 어드레스전극에만 Vs 전압을 인가하는데, 상기 Vs 전압과 Vs 전압의 합은 방전에 필요한 임계전압보다 높기 때문에 Vs가 인가된 셀에서는 어드레스방전이 일어나 벽전하가 생성되고, 상기 Vs전압은 방전에 필요한 임계전압보다 낮아서 Vs가 인가되지 않은 셀은 어드레스방전이 생기지 않는다.

상기와 같은 과정을 480개의 수평라인(H-Line)에 대해 순차적으로 480회 반복 수행하면 전체 480×1920개 셀이 어드레싱 즉 온(ON) 또는 오프(OFF)된다.

따라서, 한 라인(Line)당 어드레스하는데 필요한 시간이 3.3μs라고 하면, 한 프레임당 리셋 및 어드레스(Reset and Address) 기간에 소요되는 시간이 약 3.3μs + 480 Line * 8 sub-frame = 12.672ms이다.

미와 같은 경우에는 전체 프레임 시간 16.67ms중 실제 밝기에 기여하는 시스테인 시간은 단지 3.998ms로서 약 24%의 낮은 효율이 된다.

상기에서 각 서브필드(SF1~SF8)의 어드레스 기간동안 어드레스전극들(A₁~A₂₅₆)에는 각 셀에 해당되는 8비트의 디지털 화상 신호(최하위 비트 B₁~최상위 비트 B₈) 중 1개 비트값이 인가되는데, 구체적으로는 제 1 서브필드(SF1)의 어드레스기간동안 B₁이, 제 2 서브필드(SF2)의 어드레스기간동안 B₂가, ..., 제 8 서브필드(SF8)의 어드레스기간동안 B₈이 각각 인가됨으로써, 해당 서브필드에서 각 셀이 온(ON)될 것인지 또는 오프(OFF)될 것인지를 결정한다.

한편, 상기 각 서브필드(SF1~SF8)의 서스테인기간에서는 어드레스진극률($A_1 \sim A_{32}$)에 OV를 인가한 상태에서 제 1 유지전극률($V_1 \sim V_{32}$)과 제 2 유지전극률($Z_1 \sim Z_{32}$)사이에 Vs 전압의 서스테인펄스(sustain pulse)를 교번하여 인가함으로써, 어드레스기간에서 온(ON)된 셀을 표시하고 유지시킨다.

상기 온(ON)된 셀을 표시하고 유지하는 서스테인과정은 제 1 유지전극률($V_1 \sim V_{32}$)과 제 2 유지전극률($Z_1 \sim Z_{32}$)사이에 각 서브필드(SF1~SF8)에 대해 SF1: SF2: SF3: SF4: SF5: SF6: SF7: SF8 = 1: 2: 4: 8: 16: 32: 64: 128에 비례하는 개수의 서스테인 펄스를 교번하여 인가함으로써 수행된다.

결과적으로 상기에서 설명된 각 서브필드(SF1~SF8)의 화면을 순서대로 구성하면, 도 3과 같이 하나의 전체 프레임이 이루어지고, 화면상의 각 셀의 계조(gray scale)는 전체 프레임중 온(ON)된 서브필드에서의 밝기회수에 따라 256레벨 중의 하나로 표시된다.

한편, 상기 각 서브필드(SF1~SF8)는 서스테인(sustain)기간은 각각 다르지만 모두 환경전체를 리셋하고 어드레스하는 기간을 가지고 있기 때문에 리셋 및 어드레스(reset and address)기간은 8개의 서브필드가 모두 동일하다.

상기와 같은 서브필드방식의 효과를 계산하기 위하여 한 프레임 기간을 1/60초인 16.67 ms로 잡고, 한 line당 어드레스하는 데 필요한 시간이 3 us라고 하면, 한 프레임당 리셋 및 어드레스(reset and address)기간에 소요되는 시간이 약 $3 \text{ us} \times 480 \text{ line} \times 8 \text{ sub-frame} = 11.52 \text{ ms}$ 이다.

이경우, 전체 프레임시간 16.67 ms 중 실제 밝기에 기여하는 서스테인시간은 단지 5.15 ms로서 31.7%의 낮은 효율이 된다.

상기와 같은 이유 때문에 종래의 기술은 PDP의 충분한 휘도를 표현할 수 없는 저휘도의 문제점이 있다.

발명의 이론과 하는 기술적 효과

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 만족된 것으로, 전체화면을 수평라인(H-line)을 따라 복수개의 블록으로 분할하여 각각 독립적으로 구동하여, 하나의 블록이 어드레싱할 동안 다른 블록은 서스테인을 계속하도록 함으로써 전체프레임중 밝기에 기여하는 서스테인시간의 비율을 높여 전체화면의 휘도를 높인 3전극 면발전 PDP의 구동방법 및 그 구동장치를 제공하는데 그 목적이 있다.

발명의 구조 및 작용

상기 목적을 해결하기 위한 본 발명은,

1. 프레임(frame)을 8개의 서브필드(sub-field)로 분할하고 상기 각각의 서브필드에 인가되는 서스테인펄스(sustain pulse)의 수를 조정함으로써 상기 각각의 서브필드에 의해 표현되는 밝기의 레벨에 서로 다른 가중치를 두며, 각각의 셀은 상기 각각의 서브필드중 해당되는 서브필드에서는 온(ON)되어 밝기하고 해당되지 않는 서브필드에서는 오프(OFF)되어 밝기하지 않도록 하여 상기 밝기와 서브필드의 조합에 의해 2. 레벨의 계조(gray scale)를 표현한다. 상기 각 서브필드의 초기에 전체화면의 모든 수평라인(H-line)을 순차적으로 스캔하여 온(OFF)된 셀들만 선택적으로 방전시키는 어드레싱과정이 있는 3전극 면발전 PDP의 구동방법에 있어서,

상기 화면상의 전체라인에 대한 어드레싱과정에서 발생하는 무효시간을 줄여 휘도를 높이기 위하여, 전체화면을 수평라인(H-line)을 따라 복수개의 블록(block)으로 분할하고, 상기 각 블록에 대해 하나씩 순차적으로 어드레싱과정이 수행되는 동안 어드레싱되지 않고 있는 다른 블록은 서스테인을 계속하도록 각각 독립적으로 구동하는 것을 특징으로 한다.

도 4에 이러한 본 발명의 개념을 나타내기 위한 예로써 전체화면을 두 개의 블록으로 분리하여 각각 독립적으로 구동하는 예를 들었다.

도면에 나타난 것처럼, 본 발명은 480 라인의 전체화면을 제 1 라인부터 제 240 라인까지를 A 블록으로, 제 241 라인부터 제 480 라인까지를 B 블록으로 분할하여 각각의 블록면을 독립적으로 구동하는데,

먼저 A 블록을 구성하는 모든 라인들(line1~line240)의 제 1 유지전극과 제 2 유지전극사이에 면방전을 일으켜 A 블록의 모든 셀들에 밝기장을 생성하는 리셋과정이 수행된다. 다음, 제 1 유지전극에는 Vs전압의 스판펄스(scan pulse)를 인가하고 온(ON)시키고자 하는 셀들의 어드레싱전극에는 Vs전압의 펄스를 인가하는 과정을 A블록의 모든 제 1 유지전극에 대하여 순차적으로 수행한다.

한편, 상기와 같이 A 블록의 라인들에 대한 어드레싱과정이 수행되고 있는 동안, B 블록에는 리셋펄스가 인가되지도 않고 제 1 유지전극들에 인가되는 전압도 양(+)전압의 서스테인펄스미기 때문에 어드레스방전이 일어나지 않아서 B블록의 셀들은 계속 이전상태를 서스테인하게 된다.

상기의 과정이 종료된 다음에는 반대로 B블록에 대한 리셋과 어드레싱과정이 수행되는 동안, A 블록의 셀들은 미전상태를 서스테인하게 되고, B블록의 어드레싱과정이 모두 끝나면 A 블록과 B 블록이 동시에 서스테인하는 공통서스테인과정이 수행됨으로써 첫 번째 서브프레임이 종료된다.

그 다음의 서브필드에서도 마찬가지로, A 블록의 리셋 및 어드레싱이 진행되는 동안 B 블록은 서스테인을 유지하고 B 블록의 리셋 및 어드레싱과정에서는 A 블록이 서스테인을 유지하며, 그 다음에는 A 블록과 B 블록이 동시에 서스테인하는 공통서스테인과정이 수행됨으로써 두 번째 서브프레임이 종료된다.

상기와 같은 과정으로 8개의 서브프레임이 모두 수행되면 1 프레임이 종료된다.

상기의 설명에서 알 수 있듯이, 제 1라인부터 제 480 라인까지 전체화면의 모든 라인의 어드레싱이 끝난 후에야 서스테인과정이 시작되며, 종래방식과는 달리, 본 발명에서는 전체화면을 두 개의 블록으로 분할하고 하나의 블록에 대한 어드레싱과정이 수행되는 동안 다른 블록은 서스테인을 유지함으로써, 전체프레임

증 방전시간이 차지하는 비율을 높인 것을 알 수 있다.

상기와 같은 본 발명의 밝기 흐름은

$$16.67\text{ms} = \left(\frac{1}{(400 * 3\mu\text{s} + 8)/2} + (200\mu\text{s} * 8) \right) = 9.31\text{ms} \text{ 이고,}$$

$$9.31\text{ms}/16.67\text{ms} = 0.558 \text{로서 약 } 55.8\% \text{로 증가하고,}$$

밝기가 증래에 비해 $9.31/3.55 = 2.62$ 배로 증가한 것이다.

상기와 같은 동작을 수행하기 위해 수평전극(제 1유지전극과 제 2유지전극)을 두 개의 블록으로 나누어 구성한 3전극 면방전 PDP의 전극구조를 도 5에 나타내었다.

도 5를 참조하면, 제 1 라인부터 제 240 라인까지의 A 블록을 구성하는 제 1 및 제 2 유지전극(V_1, V_2, \dots, V_{240} 및 Z_1, Z_2, \dots, Z_{240})과, 제 241 라인부터 제 480 라인까지의 B 블록을 구성하는 제 1 및 제 2 유지전극($V_{241}, V_{242}, \dots, V_{480}$ 및 $Z_{241}, Z_{242}, \dots, Z_{480}$)과, 상기 제 1 및 제 2 유지전극들에 수직으로 배열되어 있는 징수번째의 어드레스전극들(X_1, X_2, \dots, X_{480})과 짝수번째의 어드레스전극들($X_{241}, X_{242}, \dots, X_{480}$)이 나타나 있다.

여기에서 A 블록에 포함되는 제 1 유지전극들(V_1, V_2, \dots, V_{240})은 V 로 표현되고 B블록에 포함되는 제 2 유지전극들($V_{241}, V_{242}, \dots, V_{480}$)은 V' 로 표현되어 있으며, A 블록에 해당되는 제 2 유지전극들(Z_1, Z_2, \dots, Z_{240})은 하나의 단자 Z_0 에 공통연결되어 있고 B 블록에 해당되는 제 2 유지전극들($Z_{241}, Z_{242}, \dots, Z_{480}$)도 하나의 단자 Z_0 에 공통연결되어 있음을 알 수 있다.

상기와 같은 PDP의 전극들을 구동하기 위한 구동부의 구성요소들을 도시한 블록도가 도 6이다.

도 6를 참조하면, 외부로부터의 입력신호(R, G, B, H(수평동기신호), V(수직동기신호))를 전달받아 어드레스 전극들에 인가할 영상데이터를 검출하여 X 및 X' 구동부(100, 110)에 공급하고 각종 타이밍제어신호들을 발생하는 시스템제어부(10)와,

상기 시스템제어부(10)로부터 타이밍제어신호를 받는 Y 구동IC제어부(20)와, 상기 시스템제어부(10)로부터 제어신호를 받아 서스테인필스를 발생하는 Y -서스테인구동부(40)와, 상기 Y 구동IC제어부(20)로부터 타이밍제어를 받고 상기 Y -서스테인구동부(40)로부터 서스테인필스를 받아 PDP상 A 블록의 제 1 유지전극들(V 전극들)에 구동필스를 인가하는 Y -구동IC(30)와,

마찬가지로 시스템제어부(10)로부터 타이밍제어신호를 받는 Y' 구동IC제어부(50)와, 시스템제어부(10)로부터 제어신호를 받아 서스테인필스를 발생하는 Y' -서스테인구동부(70)와, 상기 Y' 구동IC제어부(50)로부터 타이밍제어를 받고 상기 Y' -서스테인구동부(70)로부터 서스테인필스를 받아 B 블록의 제 2 유지전극들(V' 전극들)에 구동필스를 인가하는 Y' -구동IC(60)와,

상기 시스템제어부(10)로부터 제어신호를 받아 A 블록의 제 2 유지전극들(Z 전극들)에 구동필스를 인가하는 Z -서스테인구동부(80)와, 상기 시스템제어부(10)로부터 제어신호를 받아 B 블록의 제 2 유지전극들(Z' 전극들)에 구동필스를 인가하는 Z' -서스테인구동부(90)와,

상기 시스템제어부(10)로부터 제어신호와 화상정보를 받아 징수번째의 어드레스전극들을 구동하는 X 구동부(100)와, 마찬가지로 상기 시스템제어부(10)로부터 제어신호와 화상정보를 받아 짝수번째의 어드레스전극들을 구동하는 X' 구동부(110)로 구성되어 있다.

상기와 같이 구성되는 본 발명의 구동필스들을 나타내는 타이밍도를 도 7에 도시하였다.

도 7에서 X 및 X' 는 어드레스전극들에 인가되는 어드레스필스들을 나타내고, V 및 Z 는 각각 A 블록에 포함되는 제 1 및 제 2 유지전극들에 인가되는 구동필스들을 나타내며, V' 및 Z' 는 각각 B 블록에 포함되는 제 1 및 제 2 유지전극들에 인가되는 구동필스들을 나타낸다.

도면에서 R기간은 A 블록의 리셋기간으로서 이 기간동안에 A 블록에 해당되는 제 1유지전극과 B 블록에 해당되는 제 2유지전극사이에 도면에 나타난 바와 같이 리셋필스가 인가된다.

A기간은 A 블록에 대한 어드레싱기간으로서 도면에 도시된 바와 같이 어드레스전극들에는 $V_s/2$ 의 어드레스전압이 인가되고, A 블록의 제 1 유지전극들(V)에는 $-V_{scor}$ 의 스캔전압이 순차적으로 인가되어 A 블록에서 온(ON)시킬 셀들을 선택적으로 발견시키는 어드레싱과정이 수행된다.

상기와 같이 A 블록에 대한 어드레싱과정이 수행되는 A 기간동안 B 블록의 제 1 및 제 2 유지전극들에는 V 전압의 서스테인필스가 공급되고 있으므로 B 블록은 계속 미전상태를 서스테인하고 있게 된다.

그 다음에 오는 R' 구간은 B 블록에 대한 리셋과정이 수행되는 기간이고, 그다음의 A' 구간은 B 블록에 대한 어드레싱과정이 수행되는 기간이며, 공통서스테인구간인 S 구간은 A 블록과 B 블록이 동시에 서스테인하는 구간이다.

상기와 같이 인가되는 구동필스들의 타이밍을 간단하게 표현한 타이밍개요도를 도 8에 나타내었다.

도면에서 A 블록이 리셋하는 리셋기간 R동안 B 블록은 블랭크(Blank)(B)기간이고, A 블록의 어드레싱기간(A)동안 B 블록은 서스테인(S)을 하고 있으며,

반대로 B 블록이 리셋하는 리셋기간 R₀동안 A 블록은 블랭크(Blank)(B₀)기간이고, B 블록의 어드레싱기간(A₀)동안 A 블록은 서스테인(C)을 하고 있다.

상기와 같이 전체라인의 어드레싱이 종료된 다음에는 A 블록과 B 블록이 동시에 블랭크(Blank)기간을 거친후에 동시에 서스테인하는 공통서스테인기간(s)를 갖는다.

한편, 상기 구동جلس들의 타이밍을 제 1 서브필드(SF1)에 대해서 상세하게 표현한 도면이 도 9이다. 도면에 표시된 각 부호는 도 7에서의 동일한 부호와 의미가 같으므로 설명을 생략한다.

도면에는 A 블록(V₁, V₂, Y₁, ..., Y₂₄₀ 및 Z₁, Z₂, ..., Z₃₆₀) 과 B 블록(Y₂₄₁, ..., Y₄₈₀ 및 Z₂₄₁, ..., Z₄₈₀)의 각 전극들이 순차적으로 어드레싱되는 과정이 나타나 있음을 볼 수 있다.

도면에 나타난 것처럼 스캔필스는 지속기간이 3 us이고, 제 1 서브필드(SF1)가 종료된 후에는 제 2 서브필드(SF2)에서 동일한 과정을 거쳐서 A 블록과 B 블록에 대한 어드레싱과정이 수행된다.

상기와 같이 구동جلس들을 인가방으로써, 전체화면을 두 블록으로 나누고 각각 독립적으로 구동하되 어느 한 블록이 어드레싱하고 있는 동안 다른 블록은 서스테인을 계속 유지하게 되는 것을 알 수 있다.

상술한 바와 같은 본 발명은 전체화면을 더 많은 블록으로 나누면 전체프레임증 서스테인하는 시간이 더욱 많아지기 때문에 효율이 더욱 좋아지는데, 그러한 예로써 다음과 같은 본 발명의 다른 실시예를 들어본다.

도 10에 전체화면을 4개의 블록으로 분할한 본 발명의 다른 실시예를 나타내었다.

도면에 나타난 것처럼 제 1 라인부터 제 120 라인까지를 A 블록으로, 제 121 라인부터 제 240 라인까지를 B 블록으로, 제 241 라인부터 제 360 라인까지를 C 블록으로, 제 361 라인부터 제 480 라인까지를 D 블록으로 분할하여 전체화면을 4개의 블록으로 구성한다.

도면에서 Y₁는 제 1 라인부터 제 120 라인까지에 해당되는 제 1 유지전극을 나타내고, Y₂는 제 121 라인부터 제 240 라인까지에 해당되는 제 1 유지전극, Y₃는 제 241 라인부터 제 360 라인까지에 해당되는 제 1 유지전극을, Y₄는 제 361 라인부터 제 480 라인까지에 해당되는 제 1 유지전극을 각각 나타낸다.

Z₁는 제 1 라인부터 제 120 라인까지에 해당되는 제 2 유지전극을 나타내고, Z₂는 제 121 라인부터 제 240 라인까지에 해당되는 제 2 유지전극을, Z₃는 제 241 라인부터 제 360 라인까지에 해당되는 제 2 유지전극을, Z₄는 제 361 라인부터 제 480 라인까지에 해당되는 제 2 유지전극을 각각 나타낸다.

상기 각각의 블록을 구동하는 방법은 하나의 블록에 대해서 어드레싱이 수행되는 동안 다른 블록들은 서스테인을 계속하도록 각각의 블록을 독립적으로 구동하는 것인데, 그 동작을 수행하도록 하기 위하여 인가되는 구동جلس들이 도 11에 도시되어 있다.

도 11을 참조하면, 어드레스전극들에 인가되는 구동جلس들(X₁, X₂)과, A 블록의 제 1 및 제 2 유지전극들에 인가되는 구동جلس들(Y₁, Z₁)과, B 블록의 제 1 및 제 2 유지전극들에 인가되는 구동جلس들(Y₂, Z₂)과, C 블록의 제 1 및 제 2 유지전극들에 인가되는 구동جلس들(Y₃, Z₃)과, D 블록의 제 1 및 제 2 유지전극들에 인가되는 구동جلس들(Y₄, Z₄)이 나타나 있다.

상기 각각의 구동جلس들을 살펴보면, A 블록 리셋기간(R₀)동안 A 블록을 제외한 나머지 블록은 블랭크(Blank)기간이고, A 블록 어드레싱기간(A₀)에서는 A 블록의 어드레싱과정이 수행되고 다른 블록들은 서스테인을 유지하며,

B 블록 리셋기간(R₀)동안 B 블록을 제외한 나머지 블록은 블랭크(Blank)기간이고, B 블록 어드레싱기간(A₀)에서는 B 블록의 어드레싱과정이 수행되고 다른 블록들은 서스테인을 유지하며,

C 블록 리셋기간(R₀)동안 C 블록을 제외한 나머지 블록은 블랭크(Blank)기간이고, C 블록 어드레싱기간(A₀)에서는 C 블록의 어드레싱과정이 수행되고 다른 블록들은 서스테인을 유지하며,

D 블록 리셋기간(R₀)동안 D 블록을 제외한 나머지 블록은 블랭크(Blank)기간이고, D 블록 어드레싱기간(A₀)에서는 D 블록의 어드레싱과정이 수행되고 다른 블록들은 서스테인을 유지하며, 상기와 같이 모든 블록에 대한 어드레싱과정이 종료된 후에는 전체 블록의 리셋과정을 거친후에 모든 블록의 공통 서스테인과정(s)이 수행된다.

도 12는 상기와 같은 구동جلس들의 타이밍개요도이다.

도시된 바와 같이 A, B, C, D 의 각각의 블록들의 리셋기간은 다른 블록들의 블랭크(Blank)기간이며, 각각의 블록들이 어드레싱과정을 수행하는 동안 다른 블록들은 서스테인을 유지하며, 공통서스테인기간에는 모든 블록들이 동시에 서스테인을 하는 것을 알 수 있다.

설명의 흐름

본 발명에 의하면 전체화면을 수행라인을 따라 여러개의 블록으로 분할하고 하나의 블록에 대한 어드레싱이 수행되는 동안 다른 블록들은 서스테인을 계속하도록 함으로써, 전체프레임증 서스테인이 차지하는 시간의 비율을 높였기 때문에 종래의 방식보다 회도를 크게 증가시킬 수 있는 효과가 있다.

한편, 어드레싱하는 시간을 축입수 있어서 고속구동이 가능한 효과가 있다.

또한, 리셋기간을 분리해서 구동하기 때문에 코트레스트를 상승시킬 수 있고, 하면을 여러개의 블록으로 나누어 독립적으로 구동시키기 때문에 구동회로의 전류를 줄여 저전류구동회로를 사용할 수 있어 생산성을 낮추는 효과가 있다.

(7) 경구의 특성

경구항 1. 1 프레임(frame)을 X개의 서브필드(sub-field)로 분할하고 상기 각각의 서브필드에 인가되는 서스테인펄스(sustain pulse)의 수를 조정함으로써 상기 각각의 서브필드에 의해 표현되는 밝기의 레벨에 서로 다른 가중치를 두며 각각의 셀은 상기 각각의 서브필드 중 해당되는 서브필드에서는 온(ON)되어 밝아하고 해당되지 않는 서브필드에서는 오프(OFF)되어 밝아하지 않도록 하여 상기 밝기를 하는 서브필드의 조합에 의해 2레벨의 계조(gray scale)를 표현하되 상기 각 서브필드의 초기에 전체화면의 모든 수평라인(H-line)을 순차적으로 스캔하며 온(ON)될 셀들만 선택적으로 방전시키는 어드레싱과정이 있는 3전극 면방전 플라즈마 디스플레이 패널(이하, 3전극 면방전 PDP라 함)의 구동방법에 있어서

상기 화면상의 전체라인에 대한 어드레싱과정에서 발생하는 무효시간을 줄여 3전극 면방전 PDP의 회도를 높이기 위하여 전체화면을 수평라인(H-line)을 따라 복수개의 블록(block)으로 분할하여 상기 각 블록에 대해 하나씩 순차적으로 어드레싱과정이 수행되는 동안 어드레싱되지 않고 있는 다른 블록은 서스테인을 계속하도록 독립적으로 구동하는 것을 특징으로 하는 3전극 면방전 PDP의 구동방법.

경구항 2. 제 1 항에 있어서,

256 레벨을 표현하기 위하여 각각의 서브필드가 SF1 : SF2 : SF3 : SF4 : SF5 : SF6 : SF7 : SF8 = 1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 256에 비례하는 밝기를 표현하도록 1 프레임을 8개의 서브필드(SF1-SF8)로 분할하는 것을 특징으로 하는 3전극 면방전 PDP의 구동방법.

경구항 3. 제 1 항에 있어서,

상기 전체화면을 480라인으로 구성하되 수평라인(H-line)을 따라 제 1 라인부터 제 240 라인까지를 제 1 블록에 포함시키고, 제 241 라인부터 제 480 라인까지를 제 2 블록에 포함시켜서 2개의 블록으로 나누어 각각의 블록을 독립적으로 구동하는 것을 특징으로 하는 3전극 면방전 PDP의 구동방법.

경구항 4. 제 1 항에 있어서,

상기 전체화면을 480라인으로 구성하되 수평라인(H-line)을 따라 제 1 라인부터 제 120 라인까지를 제 1 블록에 포함시키고, 제 121 라인부터 제 240 라인까지를 제 2 블록에 포함시키며, 제 241 라인부터 제 360 라인까지를 제 3 블록에 포함시키고, 제 361 라인부터 제 480 라인까지를 제 4 블록에 포함시켜서 4개의 블록으로 분할하여 각각의 블록을 독립적으로 구동하는 것을 특징으로 하는 3전극 면방전 PDP의 구동방법.

경구항 5. 제 1 항에 있어서,

상기 전체화면을 480라인으로 구성하되 수평라인(H-line)을 따라 제 1 라인부터 제 60 라인까지를 제 1 블록에 포함시키고, 제 61 라인부터 제 120 라인까지를 제 2 블록에, 제 121 라인부터 제 180 라인까지를 제 3 블록에, 제 181 라인부터 제 240 라인까지를 제 4 블록에, 제 241 라인부터 제 300 라인까지를 제 5 블록에, 제 301 라인부터 제 360 라인까지를 제 6 블록에, 제 361 라인부터 제 420 라인까지를 제 7 블록에, 제 421 라인부터 제 480 라인까지를 제 8 블록에 포함시켜서 8개의 블록으로 분할하여 각각의 블록을 독립적으로 구동하는 것을 특징으로 하는 3전극 면방전 PDP의 구동방법.

경구항 6. X개의 제 1 유지전극들과 Y개의 제 2 유지전극들이 교대로 하나씩 상호 평행되게 배열되어 있고 Y개의 어드레스전극들이 상기 제 1 및 제 2 유지전극들과 소정공간을 사이에 두고 직교하도록 배열되어 상기 제 1 및 제 2 유지전극들과 상기 어드레스전극들의 교차점마다 형성된 셀이 전체적으로 $X \times Y$ 매트릭스형태의 화면을 이루는 3전극 면방전 플라즈마 디스플레이 패널(이하, 3전극 면방전 PDP라 함)의 구동장치에 있어서,

상기 전체화면을 수평라인을 따라 N개의 부화면으로 분할하여 구성되는 N개의 제 1 유지전극의 그룹마다 각각 대응되며 상기 대응된 그룹의 제 1 유지전극들에 각각 구동펄스를 공급하는 N개의 서로 독립적으로 구동되는 제 1 전극구동부와, 상기 N개의 부화면의 분할로 구성되는 N개의 제 2 유지전극의 그룹마다 각각 대응되며 상기 대응된 그룹의 제 2 유지전극들에 구동펄스를 공급하는 N개의 독립적으로 구동되는 제 2 전극구동부와, 상기 Y개의 어드레스전극들에 각각 선택적으로 구동펄스를 공급하는 어드레스전극구동부와, 외부에서 입력되는 화상정보와 수평동기신호 및 수직동기신호를 받아 화상정보를 검출하고 타이밍제어신호를 발생시켜 상기 어드레스전극구동부와 N개의 제 1 전극구동부 및 N개의 제 2 전극구동부에 공급하는 시스템제어부로 이루어지는 것을 특징으로 하는 3전극 면방전 PDP의 구동장치.

경구항 7. 제 6 항에 있어서,

상기 전체화면을 수평라인을 따라 2개의 부화면으로 분할하여 구성되는 제 1 및 제 2 유지전극들의 그룹마다 각각 대응되도록 상기 제 1 전극구동부와 제 2 전극구동부가 2개씩으로 이루어져 서로 독립적으로 구동되는 것을 특징으로 하는 3전극 면방전 PDP의 구동장치.

경구항 8. 제 6 항에 있어서,

상기 전체화면을 수평라인을 따라 4개의 부화면으로 분할하여 구성되는 제 1 및 제 2 유지전극들의 그룹마다 각각 대응되도록 상기 제 1 전극구동부와 제 2 전극구동부가 4개씩으로 이루어져 서로 독립적으로 구동되는 것을 특징으로 하는 3전극 면방전 PDP의 구동장치.

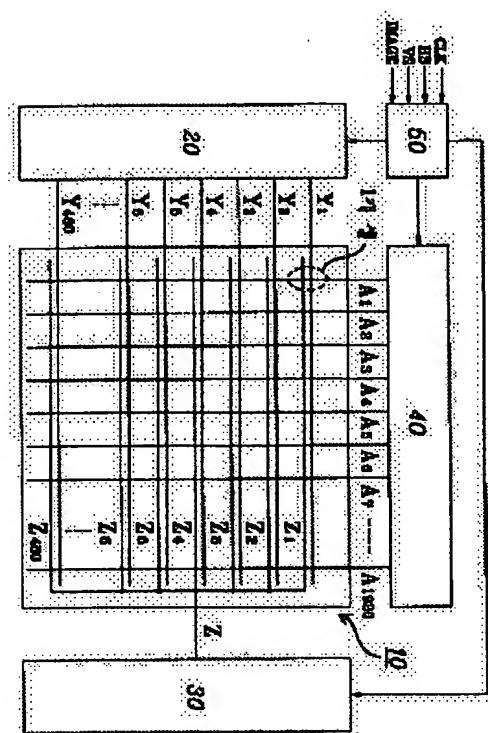
경구항 9. 제 6 항에 있어서,

상기 전체화면을 수평라인을 따라 8개의 부화면으로 분할하여 구성되는 제 1 및 제 2 유지전극들의 그룹마다 각각 대응되도록 상기 제 1 전극구동부와 제 2 전극구동부가 8개씩으로 이루어져 서로 독립적으로 구동되는 것을 특징으로 하는 3전극 면방전 PDP의 구동장치.

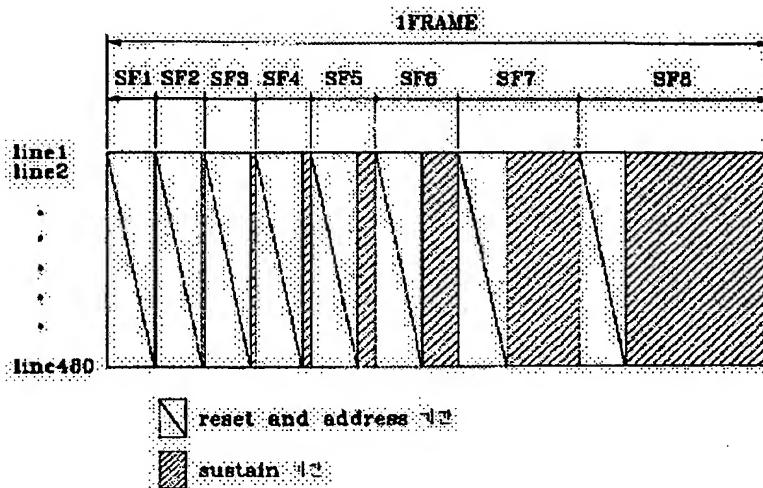
마디 각각 대응되도록 상기 제 1 전극구동부와 제 2 전극구동부가 8개씩으로 이루어져 서로 독립적으로 구동되는 것을 특징으로 하는 3전극 면방전 PDP의 구동장치.

도면 1

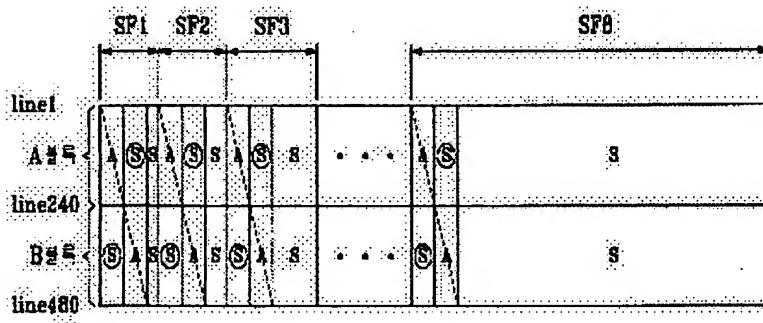
도면 1

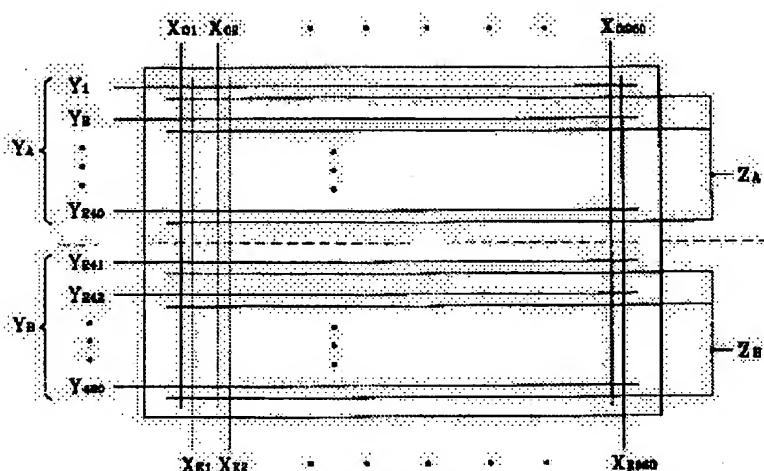
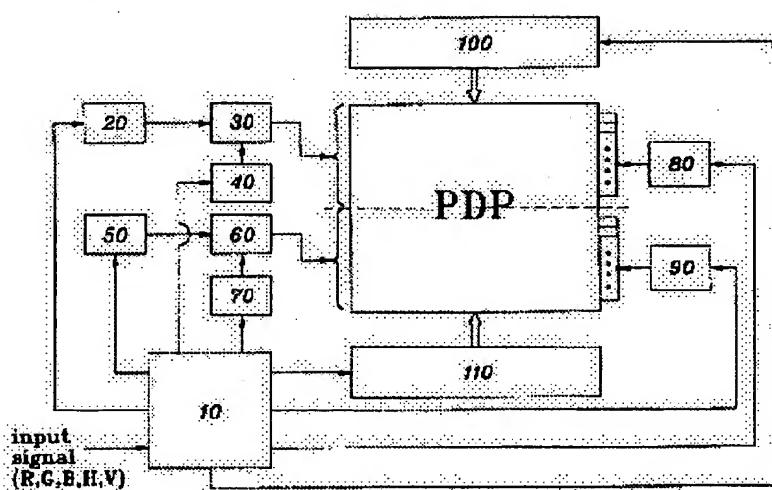


S83

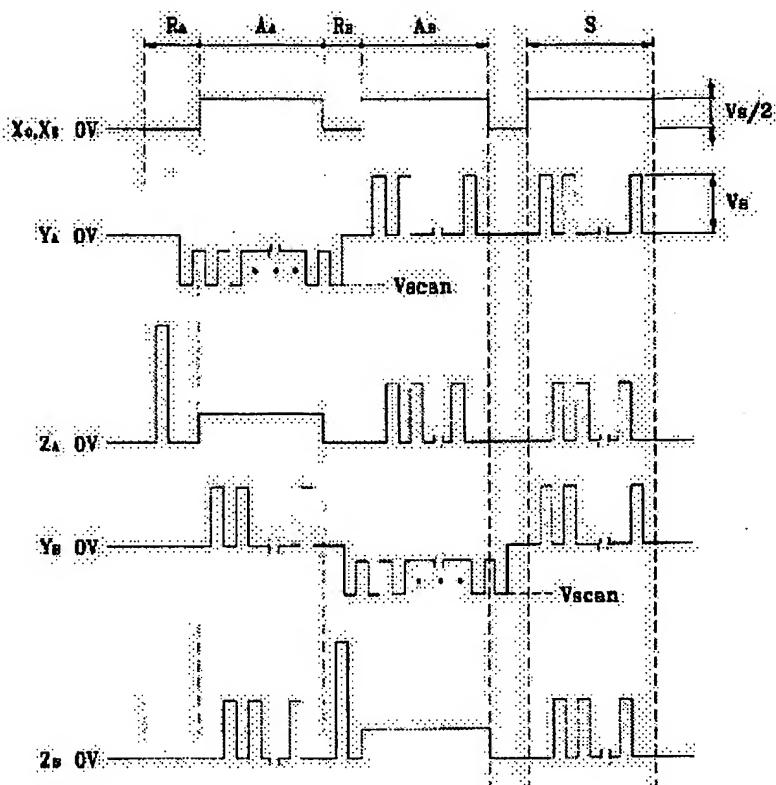


S84

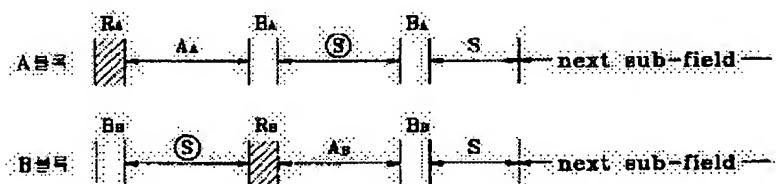


~~FIG~~~~FIG~~

五四

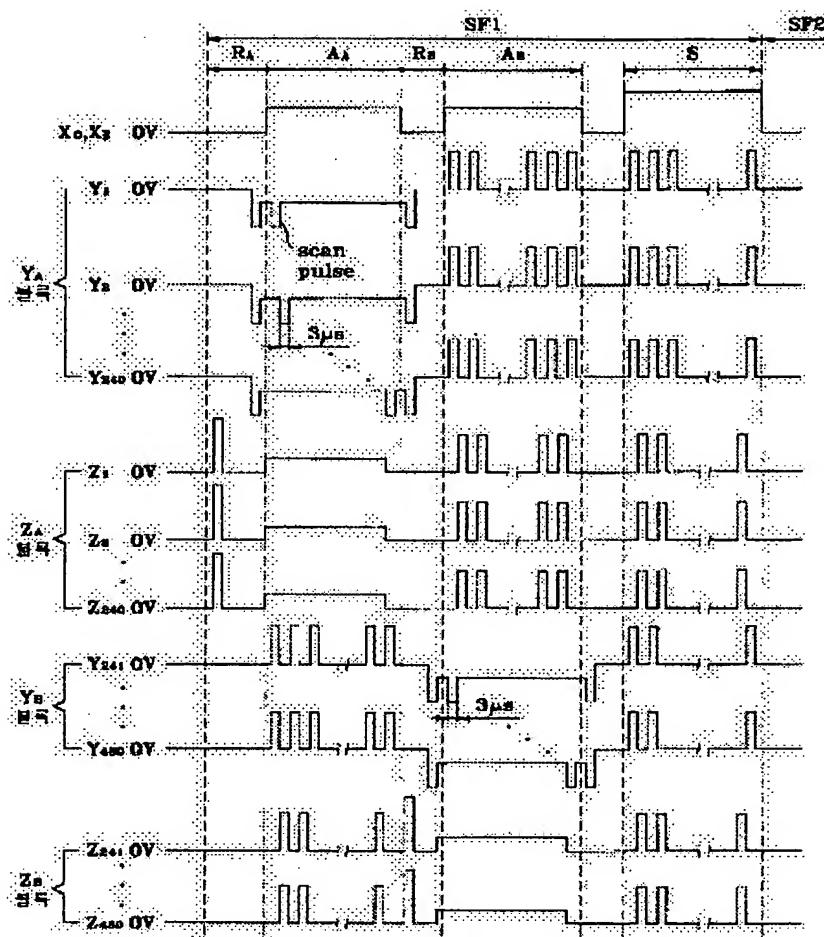
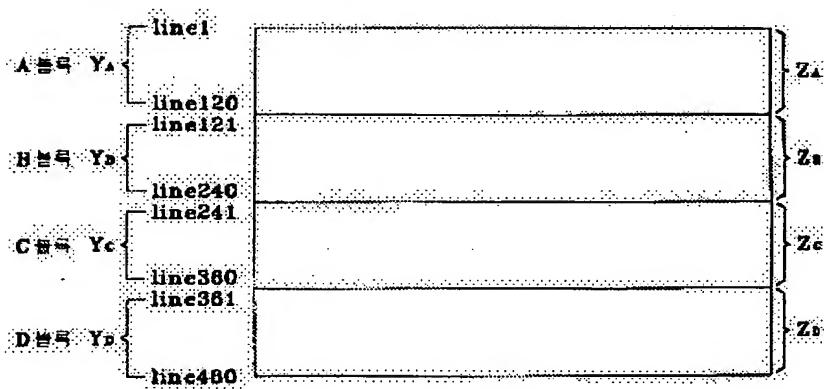


三

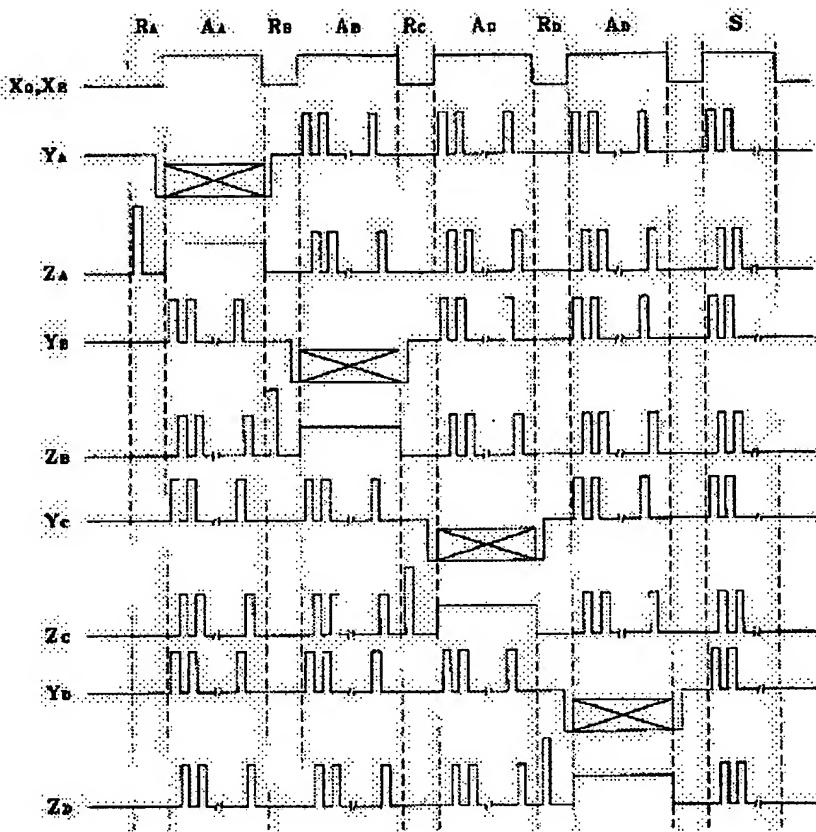


⑧ 다른 블록의 코드에서 접근하는 것은

8 ; 공동 서비스인 구간

SPG**CBD**

EPLI



582

A 품목 ● ○ ✕ ▨ ▨ ✕ ✕ ▨

B 품목 ✕ ▨ ● ○ ✕ ▨ ✕ ✕

C 품목 ✕ ▨ ✕ ▨ ● ○ ✕ ✕

D 품목 ✕ ▨ ✕ ✕ ✕ ▨ ● ○

● : 비상 기관

○ : 어드레싱 기관

✖ : Blank 기관

▨ : 어드레싱 서스터인 기관

▨ : 공동 서스터인 기관